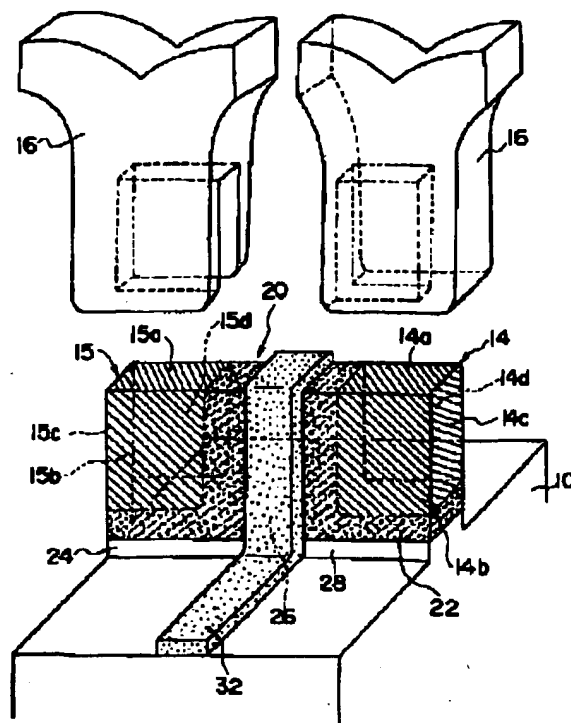


Patent Abstracts of Japan

TITLE : SEMICONDUCTOR DEVICE



CONSTITUTION: A protruding part 20 is formed on the top of a substrate 10, a drain area 22 and a source area 24 are formed on the both sides of the protruding part 20 and a channel area 26 is formed in the area sandwiched by the source and drain areas. An insulating film is selectively etched from the tops of the drain area 22 and the source area 24 vertically to the tops so as to form a contact hole, an aluminum electrode 16 is mounted in the hole and contacts 14 and 15 are formed so as to cover the drain area 22 and the source area 24. The contacts 14 and 15 make contact with the semiconductor top planes 14a and 15a, semiconductor side planes 14b-14d, and 15b-15d of the both areas. Thus, the effective area of the contacts 14 and 15 are increased and the contact resistance is reduced.

COPYRIGHT: (C)1994,JPO&Japio

(11)特許出願公開番号

特開平6-5856

(43)公開日 平成6年(1994)1月14日

(51) IntCl.⁵

識別記号

片内整理番号

FI

技術表示箇所

H O 1 L 29/784

7377-4M

H01L 29/78

301 X

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平4-160911

(22) 出願日

平成4年(1992)6月19日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 究明者 國友 大裕

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 多田 ▲吉▼秀

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(74)代理人 弁護士 金山 敏彦 (外2名)

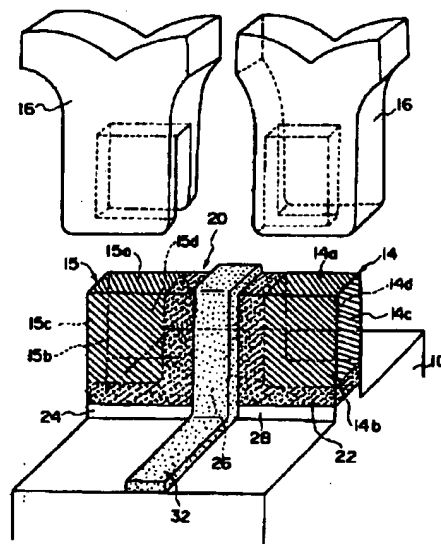
(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】 微細化した際に、コンタクトの成形を改良し、低抵抗のコンタクトによってデバイスの高集積化を促進する半導体装置を提供する。

【構成】 基板 10 の上部には突出部 20 が形成されており、この突出部 20 の両側にはドレイン領域 22、ソース領域 24 が形成されて、この両領域に挟まれた領域にチャンネル領域 26 が形成されている。そして、ドレイン領域 22 及びソース領域 24 のそれぞれの上部からその面に対して垂直方向に絶縁膜を選択的にエッチングしてコンタクトホールが形成され、その部分にアルミニウム電極 16 を装着して、ドレイン領域 22 及びソース領域 24 を覆うようにコンタクト 14、15 を形成する。従って、コンタクト 14、15 は両領域の半導体上面 14a、15a のみならず、両領域の半導体側壁 14b、14c、14d、15b、15c、15d とも接触する。このため、コンタクト 14、15 の有効面積は実質的に増大するので、コンタクト抵抗は低下し、デバイスの高集積化が可能となる。

【圖 2】



【特許請求の範囲】

【請求項1】 半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間に挟まれたチャネル領域と、を備え、そのチャネル領域に絶縁体膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを有する半導体装置であって、前記ソース領域及びドレイン領域の夫々に基板面と垂直に設けられた側壁に接するように電極が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板上にMOSトランジスタなどの素子を形成する半導体装置に関する。

【0002】

【従来の技術】 従来より、各種の半導体装置が提案されており、特にMOSトランジスタを内蔵したものが多く利用されている。そして、このような半導体装置においては、その集積度を上昇させるために素子構造の微細化が進んでいる。

【0003】 ここで、通常の半導体装置は、図3に示されるように、平板状の半導体基板（例えば、Si基板）の所定の領域に複数のMOSトランジスタを形成している場合が多い。この場合には、ゲート領域を薄い絶縁層（通常、ゲート酸化膜）を介しゲート電極62で覆った状態でその両側の領域にイオンをドーピングして、ソース領域54、ドレイン領域52を形成しMOSトランジスタを半導体基板の所定領域に形成している。

【0004】

【発明が解決しようとする課題】 しかしながら、このような半導体装置のMOSトランジスタを微細化していくと、各種の問題が生じる。すなわち、ゲート長を縮小させるとチャネルの抵抗は小さくなるが、ソース・ドレイン領域の面積が小さくなるためコンタクトの抵抗は増大してしまうという問題があった。

【0005】 特に、工程の都合上、図3に示されるように、ホールサイズは固定化されており、微細化に対応してコンタクト44の面積を最小（例えば、1 μ m四方）にする代わりに、複数個のコンタクト44としている。その際、コンタクト44同士の間隔は最低1 μ m程度開ける必要があり、そのように結めてコンタクト44を形成したとしても、ソース領域54またはドレイン領域52の全面にコンタクトを形成した場合に対して1/4程度の面積効率となってしまう。従って、依然コンタクトの抵抗値は大きく、デバイス性能が劣化してしまうという問題点があった。従って、上述同様の方法で縦型超薄膜トランジスタのコンタクトを形成した場合も同じ問題が生じ、デバイスの超高集積化は望めないという問題点があった。

【0006】 本発明は、上記問題点を解決することを課題としてなされたものであり、微細化した際に、コンタクト形成を改良し、低抵抗のコンタクトによってデバイスの高集積化を促進する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係る半導体装置は、半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間に挟まれたチャネル領域と、を備え、そのチャネル領域に絶縁体膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを有する半導体装置であって、前記ソース領域及びドレイン領域の夫々に基板面と垂直に設けられた側壁に接するように電極が形成されていることを特徴とする。

【0008】

【作用】 本発明に係る半導体装置において、すなわち凸型のトランジスタにおいて、ソース領域及びドレイン領域の夫々の上部全面からその面に対して垂直方向に絶縁膜のみを選択的にエッチングすることによって、コンタクトホールを形成し、その部分にコンタクト（電極）を配置する。このため、両領域の半導体上面に加え半導体側壁をコンタクトとの接面とすることができるので、実質的にコンタクトの有効面積を増大できる。

【0009】

【実施例】 以下、本発明に係る半導体装置について、図面に基づいて説明する。

【0010】 図1は、製造された半導体装置の構成を説明するための斜視図である。

【0011】 Si基板10の上部には、突出部20が形成されている。そして、この突出部20の両側には、ドレイン領域22、ソース領域24が形成されており、このドレイン領域22、ソース領域24に挟まれた領域に基板10と同じ導電型のチャネル領域26が形成されている。そして、これらドレイン領域22、ソース領域24、チャネル領域26はその下端が突出部20内に収まっており、突出部20の下部には基板10の一部である素子分離部28が形成されている。

【0012】 また、SiO₂で形成される酸化膜であるゲート酸化膜がチャネル領域26を覆って形成され、その上にゲート電極32が配置されている。

【0013】 次に、図2に示すように、突出部20の両側のドレイン領域22及びソース領域24のそれぞれの上部からその面に対して垂直方向に絶縁膜を選択的にエッチングすることにより、コンタクトホールが形成され、その部分にアルミニウム電極16がドレイン領域22及びソース領域24を覆うように装着されて、コンタクト14、15が形成される。

【0014】 従って、コンタクト14、15は両領域の半導体上面14a、15aのみならず、両領域の半導体

3

側壁14b、14c、14d、15b、15c、15dとも接している。このため、コンタクト14、15の有効面積は実質的に増大するので、コンタクト抵抗は低下し、デバイスの高集積化が可能となる。

【0015】そして、このような半導体装置では、突出部20内に1つのMOSトランジスタが構成されている。従って、ドレイン領域22、ソース領域24にそれぞれドレイン電極、ソース電極を接続すれば、ゲート電極32への電圧の印加によって、チャネル領域26の電位を制御しドレイン領域22→ソース領域24間の電流を制御することができる。この例では、形成されているMOSトランジスタがnチャネルであるため、ゲート電極に正の電圧を印加することによって、電流が流れる。

【0016】一方、前述の素子分離部28は基板10の一部であるので、衝突電離によって発生する基板と同極性の余剰キャリア（本例の場合、正孔）が基板10に排出されることになり、チャネル領域26に溜まることがない。従って、余剰キャリアの蓄積に伴うキンク（Kink）現象の発生がなく、また余剰の正孔による疑似短チャネル効果の発生がない。また、消費電力により発生した熱が基板10に容易に拡散するため、チャネル領域26の加熱を防止することもできる。

【0017】さらに、トランジスタを縦型とし、チャネル領域26をゲート電極32によって取り囲んでいるため、チャネル領域全体の電圧を所定の値に制御することができ、動作性能を非常に高いものとすることができる。

【0018】また、本発明に係る半導体装置の製造方法について図4（A～I）をもとに説明する。

【0019】まず、Si単結晶からなる基板10表面上に、SiO₂膜（またはSi₃N₄膜）による線幅0.1μm程度の線状パターンを形成する（図4A）。この線状パターンの形成は、電子（E）ビーム描画露光装置および多層レジスト露光技術などを利用した超微細パターンニング技術によって行う。そして、このSiO₂（またはSi₃N₄）線状パターンをマスクとして、RIE（Reactive Ion Etching）などによって基板10に異方性エッチングを施し、所定の凹部40を形成して突出部20を形成する（図4B）。次に、SiO₂パターンを除去して、基板10の全表面を熱酸化しSiO₂酸化膜を形成する（図4C）。なお、その部分の酸化膜厚を厚くするために、SiO₂パターンを除去しなくともよい。そして、全表面にポリシリコン層Polysiliconを形成した後（図4D）、通常のフォトリソグラフィにより、ゲート電極32を形成する（図4E）。その後、イオン注入によりドレイン領域22、ソース領域24を形成する（例えば、リンの注入によるn⁺領域の形成（図4F））。ここで、このイオン注入は、不純物の照射方向をマスク、電圧印加などによって斜め方向のみに限定する斜入射イオン注入装置によって行う。そ

4

して、上述の工程の後、BPSSG（boron phosphosilicate glass）等の常圧CVDにより基板全面を層間絶縁膜（主に、酸化膜を用いる）で覆い（図4G）、ドレイン領域22及びソース領域24上の層間絶縁膜にレジストでパターンニングした後、異方性エッチングによりコンタクトホールを形成する（図4H）。

【0020】本発明の特徴的なことは、コンタクトが以下のように形成されていることである。すなわち、まずコンタクトホール17を、絶縁膜で覆われているドレイン領域22及びソース領域24の上部全面からその面に垂直方向に絶縁膜のみを選択的にエッチングして形成し、ドレイン領域22及びソース領域24を露出させ、その部分にアルゴンまたは酸素ガスを用いてアルミニウム（Al）電極16をスパッタリングにより装着し、コンタクトを形成する（図4I）。

【0021】従って、図2に示すようにコンタクト14、15は、ドレイン領域22及びソース領域24の上面14a、15aのみならず側壁14b、14c、14d、15b、15c、15dと接するので、実質的なコンタクトの有効面積が増大する。これによって、コンタクトの抵抗を小さくすることができ、デバイスの高集積化が促進される。

【0022】そして、コンタクトを形成した後、アルミニウム電極16をパターンニングして、必要に応じて、ソース及びドレイン領域の酸化膜を除去や、アニール処理を行って各領域の構成を調整する。

【0023】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、すなわち凸型のトランジスタによれば、ソース領域及びドレイン領域の夫々の上部全面からその面に対して垂直方向にエッチングすることによって、コンタクトホールを形成し、その部分にコンタクトを配置する。このため、両領域の半導体表面に加え半導体側壁をコンタクトとの接面とすることができるので、実質的にコンタクトの有効面積を増大できる。従って、コンタクト抵抗は低下し、デバイスの高集積化が可能である。

【図面の簡単な説明】

【図1】半導体装置の構成を示す斜視図である。

【図2】半導体装置のAl電極装着状態を説明する斜視図である。

【図3】従来の半導体装置の構成を示す上方から見た平面図である。

【図4】本発明に係る半導体装置の製造工程の説明図である。

【符号の説明】

10 基板
14、15 コンタクト
16 アルミニウム（Al）電極

(4)

特開平6-5856

5

6

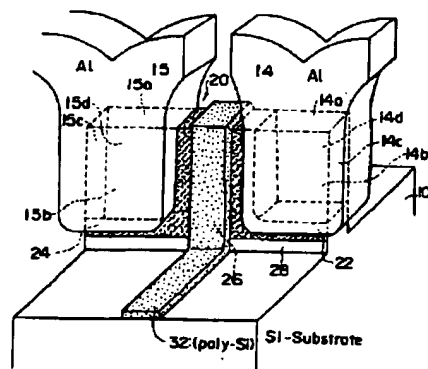
14a, 15a 半導体上面
14b, 14c, 14d, 15b, 15c, 15d 半
導体側壁
20 突出部

22 ドレイン領域
24 ソース領域
26 チャンネル領域
32 ゲート電極

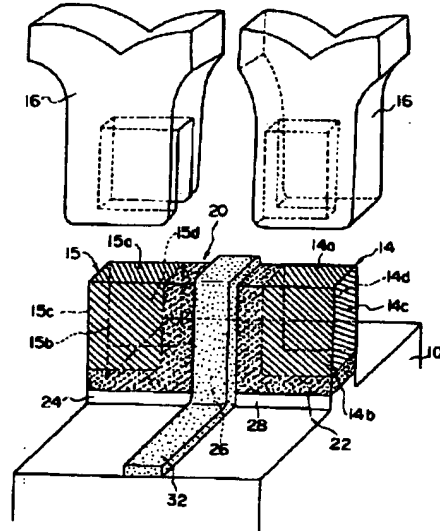
【図1】

【図2】

【図1】

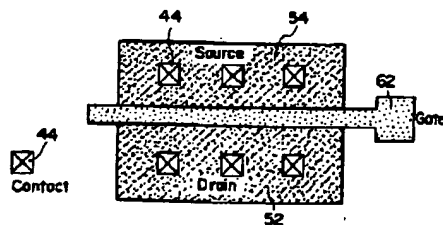


【図2】



【図3】

【図3】



【図4】

